

**DIGITAL DEMODULATOR**

JP-A-2000-286910

Publication number: JP2000286910

Publication date: 2000-10-13

Inventor: YAMASHITA ATSUSHI

Applicant: FUJITSU GENERAL LTD

Classification:

- international: H04L27/22; H04L7/033; H04L27/22; H04L7/033; (IPC1-7): H04L27/22; H04L7/033

- European:

Application number: JP19990090137 19990330

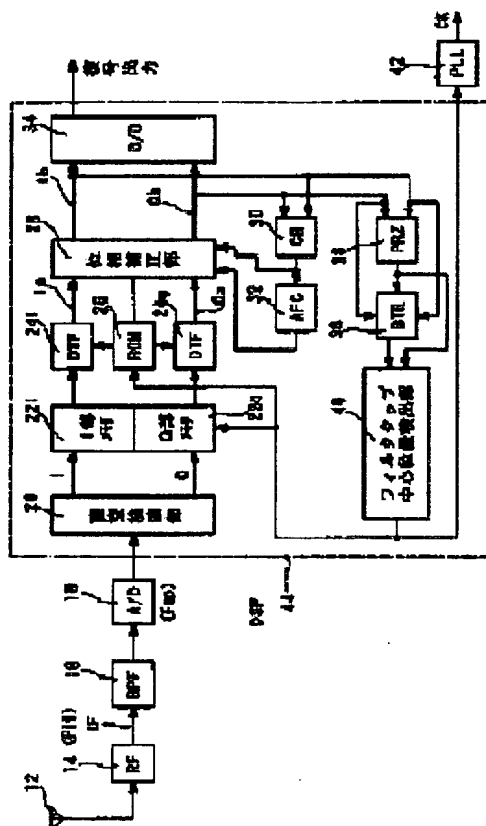
Priority number(s): JP19990090137 19990330

Report a data error here

## Abstract of JP2000286910

**PROBLEM TO BE SOLVED:** To generate the clock of a fixed rate that is synchronized with the transmission rate set at a base station.

**SOLUTION:** This digital demodulator includes the digital filters DTF 24i and 24q which convert the signals I and Q demodulated at a quadrature detection part 20 into the base band signals Ia and Qa, a phase correction part 28 which corrects the phases of signals Ia and Qa to generate an in-phase component Ib and quadrature component Qb, a CR 30 which calculates the phase error of a carrier wave and feeds back a phase correction control signal to the part 28, an AFC (automatic frequency correction) part 32 which calculates the mean value of phase errors and feeds back a phase correction control signal to the part 28, a BTR (bit timing correction) part 36 which calculates the time difference between the real and ideal sampling points of an A/D conversion part 18, a PRZ 38 which detects the zero crossing point between two receiving symbol points and a filter tap center position detection part 40 which detects the impulse response peak value of the DTF 24i and 24q and outputs the corresponding timing signal to a PLL 42 as a reference signal. Then the PLL 42 generates a prescribed clock CK.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-286910

(P2000-286910A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl.<sup>7</sup>H 0 4 L 27/22  
7/033

識別記号

F I

H 0 4 L 27/22  
7/02

テーマコード(参考)

C 5 K 0 0 4  
B 5 K 0 4 7

審査請求 未請求 請求項の数1 OL (全 6 頁)

(21) 出願番号

特願平11-90137

(22) 出願日

平成11年3月30日(1999. 3. 30)

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 山下 淳

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(74) 代理人 100076255

弁理士 古澤 俊明 (外1名)

Fターム(参考) 5K004 AA05 FC02 FH08

5K047 AA06 AA15 BB01 EED2 GG13

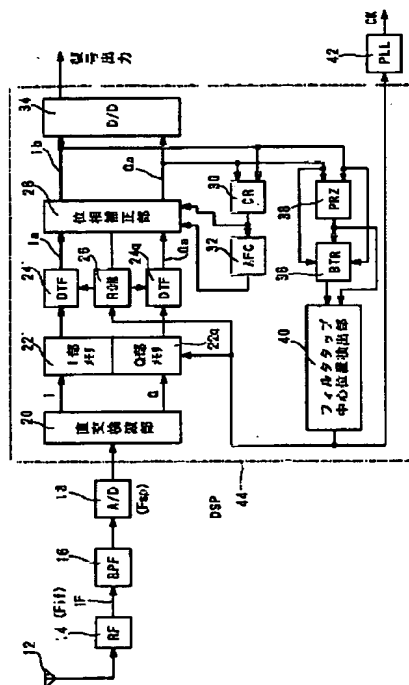
GG25 MM33 MM46

(54) 【発明の名称】 デジタル復調装置

(57) 【要約】

【課題】 基地局側の伝送速度と同期した一定レートのクロックを生成する。

【解決手段】 直交検波部20で復調された信号I、Qをベースバンド信号Ia、Qaに変換するDTF24i、24q、信号Ia、Qaの位相を補正して同相成分Ibと直交成分Qbを生成する位相補正部28、搬送波の位相誤差を算出し位相補正の制御信号として位相補正部28へフィードバックするCR30、位相誤差の平均値を算出し位相補正の制御信号として位相補正部28へフィードバックするAFC32、A/D変換部18の実サンプル点と理想サンプル点の時間差を算出するBTR36、2受信シンボル点間のゼロクロス点を検出するPRZ38、DTF24i、24qのインパルス応答尖頭値を検出し、対応したタイミング信号を基準信号としてPLL42へ出力するフィルタタップ中心位置検出部40とを具備し、PLL42で所定のクロックCKを生成する。



(2) 000-286910 (P2000-286910A)

## 【特許請求の範囲】

【請求項1】伝送されてきた位相変調信号を受信して周波数 $F_{if}$ のIF信号（中間周波数信号）に変換し、このIF信号を周波数 $F_{sp}$ （ $F_{sp}$ は $F_{if} \times 4/m$ に等しい条件を満たす周波数を表す。 $m$ は5以上の奇数を表す。）のサンプリングクロックで標本化してデジタル信号に変換し、ついで直交検波部で互いに直交する復調信号 $I$ 、 $Q$ を生成するようにしたデジタル復調装置において、前記直交検波部の出力する信号 $I$ 、 $Q$ をベースバンド信号 $I_a$ 、 $Q_a$ に変換する低域フィルタと、この低域フィルタの出力する信号 $I_a$ 、 $Q_a$ の位相を補正して同相成分 $I_b$ と直交成分 $Q_b$ を生成する位相補正部と、この位相補正部で生成された信号 $I_b$ 、 $Q_b$ に対応した受信シンボル点の位相と期待されるシンボル点の位相を比較して搬送波の位相誤差を算出し、算出信号を位相補正のための制御信号として前記位相補正部へフィードバックする位相誤差算出部と、この位相誤差算出部で算出された位相誤差の平均値を算出し、算出信号を位相補正のための制御信号として前記位相補正部へフィードバックする自動周波数補正部と、前記位相補正部で生成された信号 $I_b$ 、 $Q_b$ に基づいて2受信シンボル点間のゼロクロス点を検出するゼロクロス検出部と、前記位相補正部で生成された信号 $I_b$ 、 $Q_b$ と前記ゼロクロス検出部で検出された信号に基づいて前記A/D変換部の実サンプリング点と理想サンプリング点との時間差を算出するビットタイミング補正部と、前記ゼロクロス検出部の検出信号と前記ビットタイミング補正部の算出データに基づいて前記低域フィルタのインパルス応答尖頭値を検出し、対応したタイミング信号を出力するフィルタタップ中心位置検出部と、このフィルタタップ中心位置検出部の出力するタイミング信号を基準信号としてクロックを生成する位相同期ループ回路とを具備してなることを特徴とするデジタル復調装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、移動体通信に用いられるデジタル復調装置であって、基地局から伝送されてきた位相変調信号を受信し、この位相変調信号を周波数 $F_{if}$ のIF信号（中間周波数信号）に変換し、このIF信号を周波数 $F_{sp}$ （ $F_{sp}$ は $F_{if} \times 4/m$ に等しい条件を満たす周波数を表す。 $m$ は5以上の奇数を表す。）のクロックで標本化してデジタル信号に変換し、ついで直交検波部で互いに直交する復調信号 $I$ 、 $Q$ を生成するようにしたデジタル復調装置に関するものである。

## 【0002】

【従来の技術】近年、移動体通信の高品質、高安定性が要求され、移動機側において基地局側の伝送速度と同期した一定レートのクロックを生成して送信を行う必要がある。一方、移動機の小形化及び低消費電力化を図るために、直交検波部及び直交検波部で生成した信号 $I$ 、 $Q$

から伝送情報を復調するためのデジタル信号処理回路としてDSP（デジタル信号処理プロセッサ）が用いられている。

## 【0003】

【発明が解決しようとする課題】しかしながら、従来のDSPを用いたデジタル復調装置は、直交検波部の内部メモリにデータを蓄えた後にまとめて割り込み処理を行っていたため、バーストタイミングでしか信号処理ができず、移動機側から基地局側へ送信する際に各シンボルレートが不均一になるという問題点があった。

【0004】本発明は、上述の問題点に鑑みてなされたもので、基地局側の伝送速度と同期した一定レートのクロックを生成することのできるデジタル復調装置を提供することを目的とするものである。

## 【0005】

【課題を解決するための手段】本発明によるデジタル復調装置は、伝送されてきた位相変調信号を受信して周波数 $F_{if}$ のIF信号（中間周波数信号）に変換し、このIF信号を周波数 $F_{sp}$ （ $F_{sp}$ は $F_{if} \times 4/m$ に等しい条件を満たす周波数を表す。 $m$ は5以上の奇数を表す。）のサンプリングクロックで標本化してデジタル信号に変換し、ついで直交検波部で互いに直交する復調信号 $I$ 、 $Q$ を生成するようにしたデジタル復調装置において、直交検波部の出力する信号 $I$ 、 $Q$ をベースバンド信号 $I_a$ 、 $Q_a$ に変換する低域フィルタと、この低域フィルタの出力する信号 $I_a$ 、 $Q_a$ の位相を補正して同相成分 $I_b$ と直交成分 $Q_b$ を生成する位相補正部と、この位相補正部で生成された信号 $I_b$ 、 $Q_b$ に対応した受信シンボル点の位相と期待されるシンボル点の位相を比較して搬送波の位相誤差を算出し、算出信号を位相補正のための制御信号として位相補正部へフィードバックする位相誤差算出部と、この位相誤差算出部で算出された位相誤差の平均値を算出し、算出信号を位相補正のための制御信号として位相補正部へフィードバックする自動周波数補正部と、位相補正部で生成された信号 $I_b$ 、 $Q_b$ に基づいて2受信シンボル点間のゼロクロス点を検出するゼロクロス検出部と、位相補正部で生成された信号 $I_b$ 、 $Q_b$ とゼロクロス検出部で検出された信号に基づいてA/D変換部の実サンプリング点と理想サンプリング点との時間差を算出するビットタイミング補正部と、ゼロクロス検出部の検出信号とビットタイミング補正部の算出データに基づいて低域フィルタのインパルス応答尖頭値を検出し、対応したタイミング信号を出力するフィルタタップ中心位置検出部と、このフィルタタップ中心位置検出部の出力するタイミング信号を基準信号としてクロックを生成する位相同期ループ回路とを具備してなることを特徴とする。

【0006】直交検波部で生成した復調信号 $I$ 、 $Q$ を低域フィルタでベースバンド信号 $I_a$ 、 $Q_a$ に変換し、位相補正部で位相を補正して同相成分 $I_b$ と直交成分 $Q_b$

(3) 000-286910 (P2000-286910A)

を生成する。位相誤差算出部で搬送波の位相誤差を算出し位相補正の制御信号として位相補正部へフィードバックし、自動周波数補正部で位相誤差の平均値を算出し位相補正の制御信号として位相補正部へフィードバックする。ゼロクロス検出部で2受信シンボル点間のゼロクロス点を検出し、ビットタイミング補正部でA/D変換部の実サンプリング点と理想サンプリング点との時間差を算出し、フィルタタップ中心位置検出部で低域フィルタのインパルス応答尖頭値を検出し、対応したタイミング信号を基準信号として位相同期ループ回路でクロックを生成する。低域フィルタのインパルス応答尖頭値に対応したタイミング信号を基準信号として位相同期ループ回路でクロックを生成しているため、基地局側の伝送速度に同期したデューティ比が50%に近いクロックを生成できる。

【0007】

【発明の実施の形態】以下、本発明の実施の形態例を図面により説明する。図1は本第1発明（請求項1に対応した発明）によるデジタル復調装置の一実施形態例を示すもので、この図において、12はアンテナ、14は高周波回路（以下RFと記述する）、16はBPF（バンドパスフィルタ）、18はA/D（アナログ/デジタル）変換部、20は直交検波部、22iはI部メモリ、22qはQ部メモリ、24i、24qは低域フィルタとしてのデジタルフィルタ（以下DTFと記述する）、26は係数記憶部としてのリードオンリメモリ（以下ROMと記述する）、28は位相補正部、30は位相誤差算出部（以下CRと記述する）、32は自動周波数補正部（以下AFCと記述する）、34は復号部（以下D/Dと記述する）、36はビットタイミング補正部（以下BTRと記述する）、38はゼロクロス検出部（以下PRZと記述する）、40はフィルタタップ中心位置検出部、42は位相同期ループ回路（以下PLLと記述する）である。前記直交検波部20から前記フィルタタップ中心位置検出部40までは、LSI（大規模集積回路）で構成された汎用のDSP44内の素子の組み合わせで構成されている。

【0008】前記アンテナ12は、基地局側から搬送波によって伝送されてきた位相変調信号（例えばQPSK（Quadrature Phase Shift Keying）変調された信号）を受信する。前記RF14は、前記アンテナ12の受信信号を周波数FifのIF信号に変換する周波数変換部と、このIF信号を増幅する中間周波増幅部と、AGC（自動利得制御）部とを具備し、増幅されたIF信号を出力する。前記BPF16は、前記RF14から出力したIF信号のうちの目的とする信号の周波数範囲を通過させる。前記A/D変換部18は、前記BPF16から出力したIF信号を、サンプリングクロック発生部（図示省略）から出力したサンプリング周波数Fspのサンプリングクロックで標準化してデジタル信号に変換す

る。このサンプリング周波数Fspは下記の（1）式を満たすように設定されている。

$$F_{sp} = F_{if} \times 4 / m \cdots (1)$$

（1）式においてmは5以上の奇数（5、7、9、…）を表し、IF信号を4Fif/5以下のサンプリング周波数でサンプリング（以下、単にアンダーサンプリングという。）していることを表している。

【0009】前記直交検波部20は、前記A/D変換部18の出力信号を直交検波して互いに直交する復調信号I、Qを生成する。前記I部メモリ22i、Q部メモリ22qは、前記直交検波部20で生成された信号I、Qを所定のタイミングで交互に格納し、前記フィルタタップ中心位置検出部40からのタイミング信号によって前記I部メモリ22i、Q部メモリ22qから信号I、Qが読み出される。前記DTF24i、24qは、前記I部メモリ22i、Q部メモリ22qから読み出された信号I、Qに対し、前記ROM26から適宜に読み出されたタップ係数を用いたナイキスト処理を行うことによって、信号I、Qをベースバンド信号Ia、Qaに変換する。前記ROM26には予め複数組のタップ係数が記憶されている。前記位相補正部28は、前記CR30及びAFC32から出力する信号を制御信号として前記DTF24i、24qから出力する信号Ia、Qaの位相を補正する。

【0010】前記CR30は前記位相補正部28の出力する信号Ib、Qbに対応した受信シンボル点の位相と期待されるシンボル点（例えばベースバンド信号の理想シンボル点）の位相とを比較し搬送波の位相誤差を算出し、算出信号を位相補正のための制御信号として前記位相補正部28へフィードバックする。受信シンボル点とは、QPSKの信号点配置図において位相が直交関係にある信号Ib、Qbをベクトルで表したときの合成ベクトルを表す。前記AFC32は、前記CR30で算出された位相誤差の平均値を算出し、算出信号を位相補正の制御信号として前記位相補正部28へフィードバックする。前記D/D34は、IQ判定部とP/S（パラレル/シリアル）変換部からなり、前記位相補正部28の出力する信号Ib、Qbから伝送情報を復号して出力する。

【0011】前記PRZ38は、前記位相補正部28で生成された信号Ib、Qbに基づいて2受信シンボル点間のゼロクロス点を検出し、検出信号を出力する。前記BTR36は、前記位相補正部28で生成された信号Ib、Qbと前記PRZ38の検出信号とに基づいて、前記A/D変換部18の実サンプリング点と理想サンプリング点（ベースバンド信号の理想シンボル点、理想ゼロクロス点に対応したサンプリング点）との時間差を算出する。

【0012】前記フィルタタップ中心位置検出部40は、図2に示すように、最近隣理想サンプル点検出器4

(4) 000-286910 (P2000-286910A)

6、メモリ最終部検出器48及びフィルタ処理開始点算出器50を具備し、前記PRZ38の検出信号と前記BTR36の算出データとに基づいて前記DTF24i、24qのインパルス応答尖頭値を検出し、対応したタイミング信号をタップ係数選択信号として前記ROM26へ出力するとともに、この対応したタイミング信号を前記I部メモリ22i、Q部メモリ22q及び前記PLL42へ出力する。前記最近隣理想サンプル点検出器46は、前記PRZ38の検出信号と前記BTR36の算出データとに基づいて、前記A/D変換部18の実サンプリング点のうちの理想サンプリング点に最も近いサンプリング点を検出し、前記メモリ最終部検出器48は前記最近隣理想サンプル点検出器46の検出値に基づいて前記I部メモリ22i、Q部メモリ22qのフィルタ処理の最終番地を検出し、前記フィルタ処理開始点算出器50は、前記最近隣理想サンプル点検出器46の検出値と前記メモリ最終部検出器48の検出値とに基づいてフィルタ処理の開始点を算出し、この算出信号（タイミング信号）を次の割込み時のフィルタ処理開始点データとして前記I部メモリ22i、Q部メモリ22qへ出力するとともに、タップ係数選択信号として前記ROM26へ出力し、さらにこの算出信号を前記PLL42へ出力する。このフィルタ処理の開始点は、前記DTF24i、24qのインパルス応答尖頭値が出現するタイミングに対応している。

【0013】つぎに図1の作用を図2及び図3を併用して説明する。

(1) 基地局側から搬送波によって伝送されてきた位相変調信号（例えばQPSK変調された信号）はアンテナ12で受信され、RF14によって周波数Fif（例えば455KHz）のIF信号に変換され、BPF16で目的とする信号の周波数帯域に制限され、A/D変換部18で周波数Fsp（式(1)のmを25とすると72.8KHz）のサンプリングクロックによる標本化によりデジタル信号に変換される。このとき、式(1)が成立するサンプリング周波数FspでIF信号をアンダーサンプリングしているので、A/D変換部18の出力側にはFsp/4の周波数に周波数変換された信号が生成される。すなわち、IF信号をsin波とし、式(1)でm=25とすると、アンダーサンプリングのサンプリング周波数FspはIF信号の周波数Fifの4/25倍となるので、アンダーサンプリングの標本化周期1/FspはIF信号の周期1/Fifの25/4倍となる。このため、IF信号に対して90°位相が遅れた点をサンプリングすることになり、その周期はサンプリング周期1/Fspの4倍となる。

【0014】(2) 直交検波部20は、A/D変換部18から出力した128サンプル分（1バースト処理分）の信号を直交検波して互いに直交する復調信号I、Qを生成し、内部メモリへ一旦格納した後、所定の係数を掛

けて奇数番目のサンプル値をI部メモリ22iに、偶数番目のサンプル値をQ部メモリ22qにバーストモードで転送する。I部メモリ22iに転送された信号Iと、Q部メモリ22qに転送された信号QはROM26のタップ係数を用いたDTF24iとDTF24qのフィルタ処理によってベースバンド信号Ia、Qaに変換され、位相補正部28による位相補正で同相成分Ibと直交成分Qbが生成する。

【0015】(3) CR30は、信号Ib、Qbに対応した受信シンボル点の位相と期待されるシンボル点の位相とを比較して搬送波の位相誤差を算出し、算出信号を位相補正の制御信号として位相補正部28へフィードバックし瞬時的な位相安定を図る。AFC32は、CR30で算出した位相誤差の平均値を算出し、算出信号を位相補正の制御信号として位相補正部28へフィードバックし長期的な位相安定を図る。D/D34は、IQ判定部によって同相成分Ibと直交成分Qbから伝送情報の同相データと直交データを判定し、P/S変換部によって同相データと直交データから元の伝送情報である直列データを合成し復号信号を出力する。

【0016】(4) PRZ38は、位相補正部28で生成された信号Ib、Qbに基づいて2受信シンボル点間のゼロクロス点を検出し、BTR36は、位相補正部28で生成された信号Ib、QbとPRZ38の検出信号とに基づいてA/D変換部18の実サンプリング点と理想サンプリング点との時間差を算出する。

【0017】(5) フィルタタップ中心位置検出部40は、A/D変換部18のサンプリングのタイミングと同時に動作を行い、PRZ38の検出信号とBTR36の算出データとに基づいてDTF24i、24qのインパルス応答尖頭値を検出し、検出信号をタップ係数選択信号としてROM26へ出力するとともに、タイミング信号としてI部メモリ22i、Q部メモリ22q及びPLL42へ出力する。つまり、A/D変換部18のサンプリングのタイミングでDSP44へ割込みを行い、この割込み動作時に、1バースト前にDSP44内の復調処理で得られた検出信号をタイミング信号としてI部メモリ22i、Q部メモリ22q及びPLL42へ出力する。すなわち、最近隣理想サンプル点検出器46がA/D変換部18の実サンプリング点のうちの理想サンプリング点に最も近いサンプリング点を検出し、メモリ最終部検出器48がI部メモリ22i、Q部メモリ22qのフィルタ処理の最終番地を検出し、フィルタ処理開始点算出器50がフィルタ処理の開始点を算出し、この算出信号をフィルタ処理の開始点データとしてI部メモリ22i、Q部メモリ22qへ出力することによってメモリ巡回が行われる。このフィルタ処理の開始点が、例えば図3に示すようなI部メモリ22i（Q部メモリ22q）のフィルタ処理時の中心位置範囲内の最初の1サンプル分記憶領域Sであるとする、1バースト毎に図中

(5) 000-286910 (P2000-286910A)

矢印で示すようなフィルタ処理時の中心位置範囲内で記憶領域Sを開始点としてメモリ巡回が行われ、連続した受信シンボル点の検出が可能となる。図3のフィルタ処理時の中心位置範囲内の1サンプル分記憶領域C(斜線で示した領域)は、最近隣理想サンプル点検出器46の検出タイミングに対応し、メモリ巡回においてDTF24i、24qのインパルス応答尖頭値が出現するタイミングに対応している。

【0018】(6) フィルタタップ中心位置検出部40から検出信号(タイミング信号)がI部メモリ22i(Q部メモリ22q)に入力すると、このI部メモリ22i(Q部メモリ22q)からはメモリ巡回の開始点(図3の記憶領域Sに対応)から順にサンプリングデータが読み出されてDTF24i(DTF24q)に入力する。このDTF24i(DTF24q)では、フィルタタップ中心位置検出部40から検出信号によってROM26から順次読み出されたタップ係数によるナイキスト処理がなされる。すなわち、DTF24i(DTF24q)に供給されるタップ係数の時間的な制御によって、A/D変換部18の実サンプリング点を理想サンプリング点に擬似的に一致させる制御が行われる。

【0019】(7) フィルタタップ中心位置検出部40から検出信号(タイミング信号)が基準信号としてPLL42に入力すると、このPLL42は位相同期ループ制御によってクロックCKを生成する。このPLL42は、DTF24i、24qのインパルス応答尖頭値が出現するタイミングに対応したタイミング信号を基準信号とした位相同期ループ制御でクロックCKを生成しているので、このクロックCKを基地局側の伝送速度と同期のとれたデューティ比が50%に近いクロックとすることができる。

【0020】

【発明の効果】本発明によるデジタル復調装置は、A/D変換部、直交検波部、低域フィルタ、位相補正部、位相誤差算出部、自動周波数補正部、ゼロクロス検出部、ビットタイミング補正部、フィルタタップ中心位置検出部及び位相同期ループ回路を具備し、直交検波部で生成した復調信号I、Qを低域フィルタでベースバンド信号Ia、Qaに変換し、位相補正部で位相を補正して同相成分Ibと直交成分Qbを生成し、位相誤差算出部で搬送波の位相誤差を算出し位相補正の制御信号として位相補正部へフィードバックし、自動周波数補正部で位相誤差の平均値を算出し位相補正の制御信号として位相補正部へフィードバックし、ゼロクロス検出部で2受信シンボル点間のゼロクロス点を検出し、ビットタイミング補正部でA/D変換部の実サンプリング点と理想サン

プリング点の時間差を算出し、フィルタタップ中心位置検出部で低域フィルタのインパルス応答尖頭値を検出し、対応したタイミング信号を基準信号として位相同期ループ回路でクロックCKを生成するようにしたので、このクロックCKを基地局側の伝送速度に同期したデューティ比が50%のクロックにすることができる。さらに、A/D変換部のサンプリング周波数FsplはIF信号の周波数Fifの4/m倍に設定され、IF信号の情報データ成分が保持されたままサンプリング周波数Fspの1/4の周波数にダウンコンバートされた信号を生成できるようにしたので、A/D変換部の後段の回路の処理速度を低く抑えることができ、汎用のDSPを用いて小型化及び低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本第1発明(請求項1に対応した発明)によるデジタル復調装置の一実施形態例を示すブロック図である。

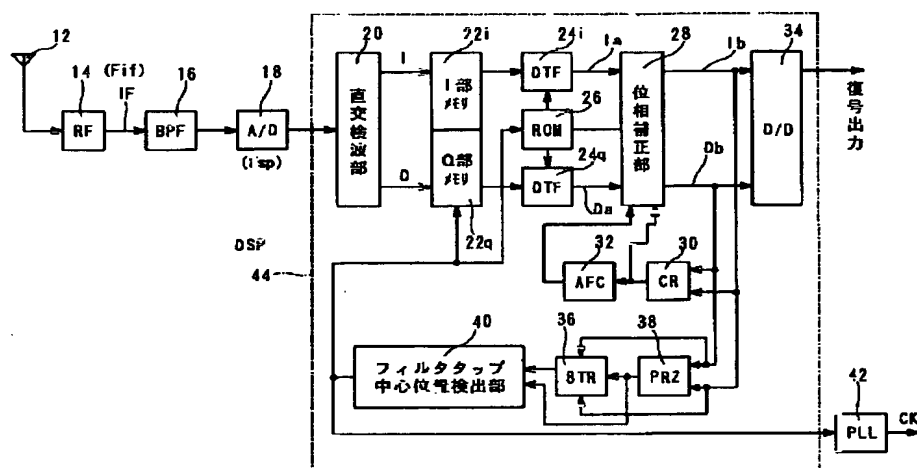
【図2】図1のフィルタタップ中心位置検出部40の具体的な構成例を示すブロック図である。

【図3】図1のフィルタタップ中心位置検出部40によって、I部メモリ22i、Q部メモリ22qのフィルタタップ中心位置(DTF24i、24qのインパルス応答尖頭値に対応)が検出される作用の説明図である。

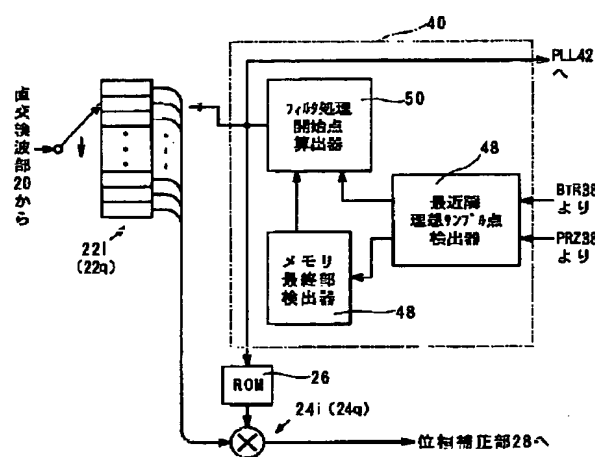
【符号の説明】

12…アンテナ、14…RF(高周波回路)、16…BPF(バンドパスフィルタ)、18…A/D(アナログ/デジタル)変換部、20…直交検波部、22i…I部メモリ、22q…Q部メモリ、24i、24q…DTF(デジタルフィルタ)(低域フィルタの一例)、26…ROM(係数記憶部の一例)、28…位相補正部、30…CR(位相誤差算出部)、32…AFC(自動周波数補正部)、34…D/D(復号部)、36…BTR(ビットタイミング補正部)、38…PRZ(ゼロクロス検出部)、40…フィルタタップ中心位置検出部、42、66…PLL(位相同期ループ回路)、44、44a…DSP(デジタル信号処理プロセッサ)、46…最近隣理想サンプル点検出器、48…メモリ最終部検出器、50…フィルタ処理開始点算出器、CK…クロック、Fif…中間周波数、Fsp…A/D変換部のサンプリング周波数(アンダーサンプリング周波数)、IF…中間周波数信号、I、Q…直交検波で得られた復調信号、Ia、Qa…フィルタ処理で得られたベースバンド信号、Ib、Qb…位相補正で得られた同相成分、直交成分。

【図 1】



【図2】



【図3】

